

|  |  |
| --- | --- |
|  |  |
| **R E P O R T** | |
|  |  |

제목: 전가산기, 반가산기

과목: 디지털 공학 기초 및 실습

날짜(년/월/일): 2017/11/21

소속 학과: 컴퓨터 전자 시스템 공학부

학번: 201702234

이름: 유동혁

|  |
| --- |
| **본 보고서의 내용 중 다른 문서(자료)를 인용한 것이 있습니까?**  **예( V ) 아니오( )** |
| **위에서 ‘예’로 답한 경우, 인용한 다른 문서는 무엇인지 아래에**  **명시해 주세요. (여러 개의 경우 주요 자료 2개 까지)**  **- 참조:** <http://woodforest.tistory.com/122> |

디지털 공학 기초 및 실습 (예비 레포트)

학번: 201702234 이름: 유동혁

1. 제목: 전가산기 (10 주차)
2. 목적: 전가산기에 대해 조사한다.
3. 내용: 전가산기: 자리올림 수 C 한 개(Carry In), 1비트 이진수 2개, 총 3개의 이진수를 더하여 합(S)과 자리올림 수(Carry Out)를 구하는 회로. 2개의 반가산기 + 1개의 OR로 구성됨.

|  |  |  |
| --- | --- | --- |
| 회로도 | | 진리표 |
|  | |  |
| 논리식 |  | |

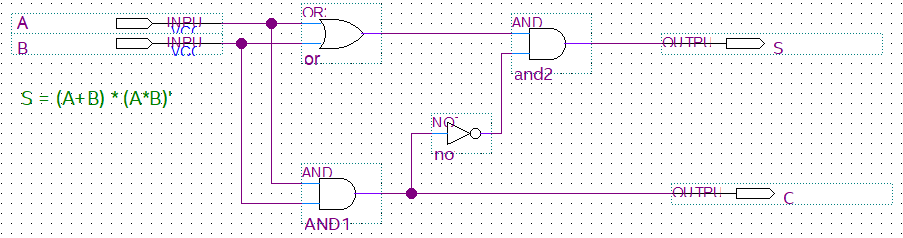
//출처: http://woodforest.tistory.com/122

디지털 공학 기초 및 실습 (결과 레포트)

학번: 201702234 이름: 유동혁

1. 제목: 반가산기 (10 주차)
2. 목적: 반가산기를 코드로 구성해 본다.
3. 내용:

반가산기의 회로도는 다음과 같다.

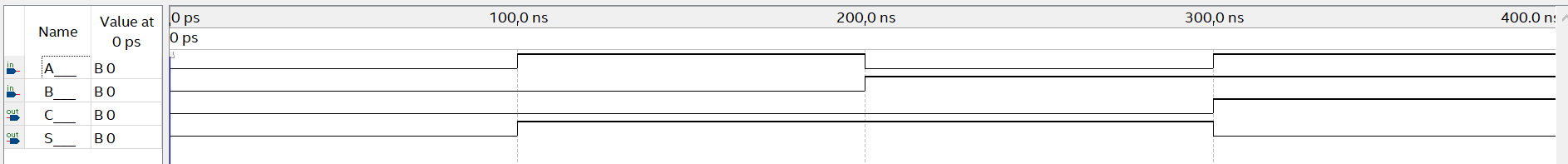


이를 VHDL코드로 구성하면 다음과 같다.

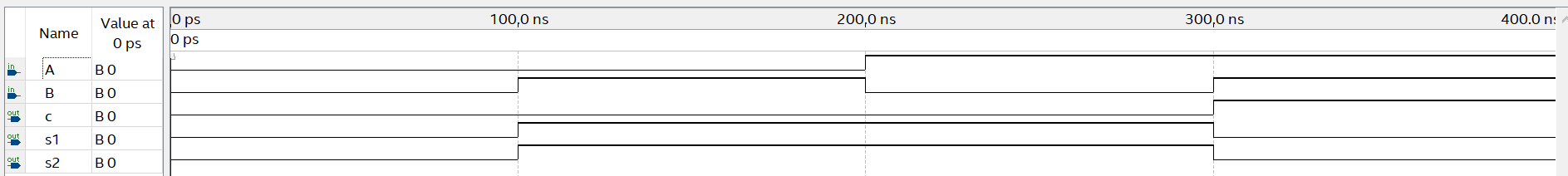
|  |
| --- |
| LIBRARY ieee; USE ieee.std\_logic\_1164.all;  ENTITY halfadder\_VHDL IS  PORT(A, B: IN std\_logic;--input: A, B  s1, s2, c: OUT std\_logic);--output: s1, s2, c  END halfadder\_VHDL;  ARCHITECTURE halfadder\_VHDL\_body OF halfadder\_VHDL IS  BEGIN  s1 <= (A or B) and not (A and B);  s2 <= A XOR B;  C <= A and B;  END halfadder\_VHDL\_body; |

1. 결과:

반가산기의 회로도의 파형은 다음과 같다.



VHDL코드로 구성한 반가산기의 파형은 다음과 같다.



1. 느낀 점:

A XOR B = (A or B) and not (A and B) 임을 알 수 있다.

반가산기의 s값은 A XOR B이고, c값은 A and B임을 알 수 있다.